



(19)

(11) Publication number:

10260952 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09063053

(51) Intl. Cl.: G06F 15/78 G06F 15/16 G11C 11/401

(22) Application date: 17.03.97

(30) Priority:

(43) Date of application  
publication: 29.09.98(84) Designated  
contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: KAJITANI KAZUHIKO

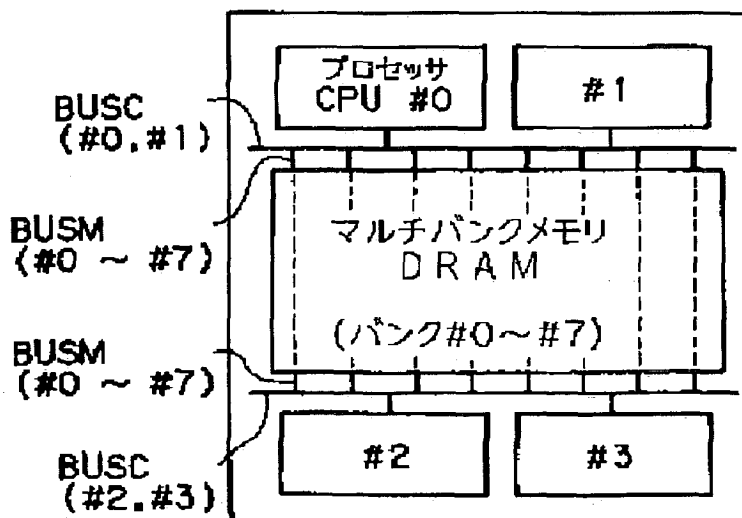
(74) Representative:

**(54) SEMICONDUCTOR  
INTEGRATED CIRCUIT DEVICE  
AND ITS DATA PROCESSING  
METHOD**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide the semiconductor integrated circuit device wherein respective processors and memories can be connected flexibly and the data processing method which can perform parallel decentralized processes fast a process including vector calculation, etc.

**SOLUTION:** This is so called a multibank memory mixedly mounted multiprocessor system LSI and consists of a multibank memory DRAM composed of independently accessible banks, a multiprocessor part composed of processor CPUs capable of operating independently, and switch means which connect those multibank memory DRAM and processor CPUs electrically so that signals can be inputted and outputted mutually; and the banks of the multibank memory DRAM are arranged at the center part of a chip, and two processors each among four processors #0 and #1, and #2 and #3 are arranged on both the sides of chip peripheral parts on the prolongation of data input/output bus BUSMs of the respective banks.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-260952

(43) 公開日 平成10年(1998) 9月29日

(51) Int. Cl.<sup>5</sup>

G 0 6 F 15/78

15/16

G 1 1 C 11/401

識別記号

5 1 0

F I

G 0 6 F 15/78

15/16

G 1 1 C 11/34

5 1 0 Z

Z

3 7 1 K

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願平9-63053

(22) 出願日

平成9年(1997) 3月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 梶谷 一彦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

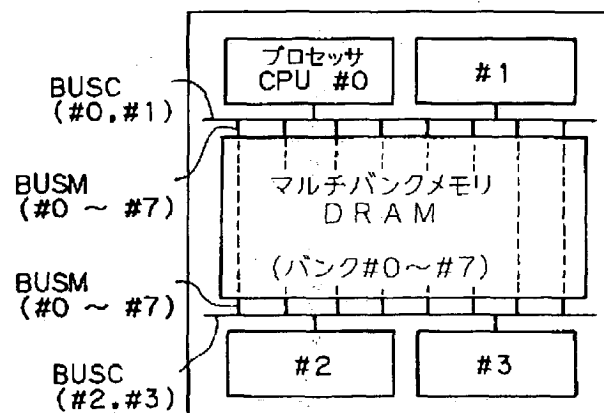
(54) 【発明の名称】 半導体集積回路装置およびそのデータ処理方法

(57) 【要約】

【課題】 各プロセッサと各メモリバンクとをフレキシブルに接続することができる半導体集積回路装置、さらに並列分散処理、ベクトル計算を含む処理などを高速に処理することができるデータ処理方法を提供する。

【解決手段】 いわゆるマルチバンクメモリ混載マルチプロセッサシステム L S I であって、独立にアクセス可能な複数個のバンクからなるマルチバンクメモリ D R A M と、独立に動作可能な複数個のプロセッサ C P U からなるマルチプロセッサと、これらのマルチバンクメモリ D R A M とプロセッサ C P U とを互いに信号の入出力が可能に電気的に接続する複数個のスイッチ手段とから構成され、マルチバンクメモリ D R A M のバンクがチップ中央部に配置され、かつ4個のうちの2個ずつのプロセッサ C P U # 0 , # 1 と # 2 , # 3 が各バンクのデータ入出力バス B U S M の延長線上におけるチップ周辺部の両側に配置されている。

図 4



## 【特許請求の範囲】

【請求項1】 独立にアクセス可能な複数個のバンクからなるメモリと、独立に動作可能な複数個のプロセッサとが同一チップに集積され、前記複数個の各プロセッサは固有のデータバスを持ち、かつ前記複数個の各バンクのデータ入出力バスは、それぞれスイッチ手段により前記各プロセッサのデータバスと電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記各スイッチ手段のオン/オフ制御はソフトウェア的なコマンド指定により設定され、前記各プロセッサのデータバスと前記各バンクのデータ入出力バスとはフレキシブルに接続されることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記各プロセッサは前記各バンクのデータ入出力バスの延長線上におけるチップ周辺部の片側に配置されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記各バンクのデータ入出力バスはこの各バンクの両端まで貫通する形に配置されるとともに、前記各バンクはチップ中央部に配置され、かつ前記各プロセッサは前記各バンクのデータ入出力バスの延長線上におけるチップ周辺部の両側に配置されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項3または4記載の半導体集積回路装置であって、前記半導体集積回路装置の入出力ポートは前記各プロセッサのデータバスの延長線上におけるチップ周辺部の片側に配置されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項3または4記載の半導体集積回路装置であって、前記半導体集積回路装置の入出力ポートは前記各プロセッサのデータバスの延長線上におけるチップ周辺部の両側に配置されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項6記載の半導体集積回路装置であって、前記両側に配置される入出力ポートのうち、一方の入出力ポートは前記両側に配置される各プロセッサのうちの一方のデータバスを分担し、かつ他方の入出力ポートは他方のデータバスを分担することを特徴とする半導体集積回路装置。

【請求項8】 請求項5、6または7記載の半導体集積回路装置であって、前記半導体集積回路装置のデータ入出力パッドは前記入出力ポートの並ぶ辺のチップ周辺部に配置されていることを特徴とする半導体集積回路装置。

【請求項9】 独立にアクセス可能な複数個のバンクからなるメモリと、独立に動作可能な複数個のプロセッサとが同一チップに集積され、前記複数個の各プロセッサは固有のデータバスを持ち、かつ前記複数個の各バンク

のデータ入出力バスは、それぞれスイッチ手段により前記各プロセッサのデータバスと電気的に接続されて構成される半導体集積回路装置を用い、前記各プロセッサに固有の機能を割り振り、この各プロセッサを前記各バンクのうちの非アクセス中のバンクに対してアクセス可能とし、前記各バンクを前記各プロセッサで共用してこの各プロセッサによる並列分散処理を実行することを特徴とする半導体集積回路装置のデータ処理方法。

【請求項10】 独立にアクセス可能な複数個のバンクからなるメモリと、独立に動作可能な複数個のプロセッサとが同一チップに集積され、前記複数個の各プロセッサは固有のデータバスを持ち、かつ前記複数個の各バンクのデータ入出力バスは、それぞれスイッチ手段により前記各プロセッサのデータバスと電気的に接続されて構成される半導体集積回路装置を用い、前記各プロセッサのうちの所定数のプロセッサをベクトル計算に割り当て、かつこの所定数のプロセッサに1対1でバンクを割り当ててベクトル計算を並列的に処理し、この並列的なベクトル計算の結果を他のバンクに格納して次の処理を他のプロセッサで処理し、前記各プロセッサによるベクトル計算を含む処理を実行することを特徴とする半導体集積回路装置のデータ処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその処理技術に関し、特に複数個のバンクからなるメモリと複数個のプロセッサとが同一チップに集積されて形成された、いわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIの半導体集積回路装置およびそのデータ処理方法に適用して有効な技術に関する。

## 【0002】

【従来の技術】近年、マルチメディア機器などのシステム全体を1チップ化する技術などが開発され、この1チップ化によって、たとえば機能面ではダイナミックランダムアクセスメモリ(DRAM)を利用した多機能化、汎用化が実現でき、機能のアップグレードが容易になってきている。特に、DRAMに搭載するプログラムを書き換えることにより、性能が急速に向上しているプロセッサによってマルチメディア処理が容易に実行可能となっている。

【0003】このようなプロセッサとDRAMという最も汎用性の高いLSIを集積したシステムLSIとしては、たとえば特開平8-212185号公報に記載された「マイクロコンピュータ」などの技術が挙げられる。この技術は、メモリ混載プロセッサシステムLSIのチップレイアウトに関して、メモリとプロセッサ間の配線長を短くするために、プロセッサをチップの中央部に配置し、周辺部に分割したメモリ領域を配置する技術となっている。

## 【0004】

【発明が解決しようとする課題】ところで、前記特開平8-212185号公報に記載されたメモリ混載プロセッサシステムLSI技術においては、たとえば4個以上のプロセッサを1チップに搭載するような場合に、プロセッサをチップの中央部にまとめて配置すると、各プロセッサと分割されたメモリ領域との接続が難しくなるということが考えられる。

【0005】そこで、本発明の目的は、いわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIにおいて、データバスの接続方法、さらにこのデータバスを含むマルチバンクメモリおよびマルチプロセッサのレイアウトを工夫して、各プロセッサと各メモリバンクとをフレキシブルに接続することができる半導体集積回路装置を提供することにある。

【0006】また、本発明の他の目的は、前記半導体集積回路装置を用いて、並列分散処理、ベクトル計算を含む処理などを高速に処理することができる半導体集積回路装置のデータ処理方法を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】すなわち、本発明による半導体集積回路装置は、独立にアクセス可能なマルチバンクメモリと、独立に動作可能なマルチプロセッサとが同一チップに搭載されたシステムLSIにおいて、各プロセッサは固有のデータバスを持ち、かつ各バンクのデータ入出力バスは、それぞれスイッチ手段により各プロセッサのデータバスと電気的に接続されて構成されるものである。

【0010】この各スイッチ手段の接続方法は、各スイッチ手段のオン/オフ制御をソフトウェア的なコマンド指定により設定し、各プロセッサのデータバスと各バンクのデータ入出力バスとをフレキシブルに接続するようにしたものである。

【0011】さらに、レイアウト的には、各プロセッサを各バンクのデータ入出力バスの延長線上におけるチップ周辺部の片側に配置したり、あるいは各バンクのデータ入出力バスをこの各バンクの両端まで貫通する形に配置するとともに、各バンクをチップ中央部に配置し、かつ各プロセッサを各バンクのデータ入出力バスの延長線上におけるチップ周辺部の両側に配置するようにしたものである。

【0012】また、入出力ポートのレイアウトは、この入出力ポートを各プロセッサのデータバスの延長線上におけるチップ周辺部の片側、あるいは両側に配置するようにし、両側に配置した場合には、一方の入出力ポート

が両側に配置される各プロセッサのうちの一方のデータバスを分担し、かつ他方の入出力ポートが他方のデータバスを分担するようにしたものである。

【0013】さらに、データ入出力パッドのレイアウトは、このデータ入出力パッドを入出力ポートの並ぶ辺のチップ周辺部に配置するようにしたものである。特に、パッドのレイアウトにおいては、チップ周辺部への配置が有利であり、他の入出力ポートに接続される電源パッドなどもこの入出力ポートの並ぶ辺に配置することが好ましく、さらにプロセッサの並ぶ辺のチップ周辺部にはプロセッサに固有の制御信号パッド、電源パッドを配置することが好ましい。

【0014】また、本発明による半導体集積回路装置のデータ処理方法は、前記フレキシブル接続構成の半導体集積回路装置を用い、各プロセッサに固有の機能を割り振り、この各プロセッサを非アクセス中のバンクに対してアクセス可能とし、各バンクを各プロセッサで共用して各プロセッサによる並列分散処理を実行するものである。

【0015】さらに、他のデータ処理方法は、所定数のプロセッサをベクトル計算に割り当て、かつこのプロセッサに1対1でバンクを割り当ててベクトル計算を並列的に処理し、この並列的なベクトル計算の結果を他のバンクに格納して次の処理を他のプロセッサで処理し、各プロセッサによるベクトル計算を含む処理を実行するものである。

【0016】よって、前記半導体集積回路装置によれば、各プロセッサへのメモリ領域の割り当てをフレキシブルに行うことができる。また、多数のプロセッサを搭載する場合、データバス領域の増加を抑え、プロセッサ間の遅延差を抑えたレイアウトを可能とすることができる。

【0017】この結果、いわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIの性能向上、およびこのLSIを使ったシステムの性能向上が可能となる。すなわち、マルチプロセッサの性能を最大限に引き出せるため、LSIとしての性能が向上することになる。また、遅延が少なく、レイアウト面積も小さくできるため、コストパフォーマンスの向上も可能となる。

【0018】さらに、前記半導体集積回路装置を用いたデータ処理方法においては、並列分散処理、ベクトル計算を含む処理などを高速に処理し、このような処理形態による大規模な処理、複雑な処理、高性能な処理などにおける高い処理効率を実現することができる。

## 【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0020】（実施の形態1）図1は本発明の実施の形

態1である半導体集積回路装置を示す概略配置図、図2は本実施の形態1の半導体集積回路装置を示す構成図、図3は本実施の形態1における変形例の半導体集積回路装置を示す概略配置図である。

【0021】まず、図1により本実施の形態1の半導体集積回路装置の概略構成を説明する。

【0022】本実施の形態1の半導体集積回路装置は、たとえばいわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIとされ、独立にアクセス可能な複数個のバンクからなるマルチバンクメモリDRAMと、独立に動作可能な複数個のプロセッサCPUからなるマルチプロセッサと、これらのマルチバンクメモリDRAMとプロセッサCPUとを互いに信号の入出力が可能に電気的に接続する複数個のスイッチ手段Sとから構成され、これらが同一チップに集積されて1チップ化されたシステムLSIとなっている。

【0023】マルチバンクメモリDRAMは、たとえば図2に示すように、8個のバンク#0～#7からなるシンクロナスDRAMとされ、それぞれのバンク#0～#7には、たとえば格子状に配列された複数のメモリセル、このメモリセルを選択する行/列デコード、読み出しデータを増幅するセンスアンプなどが備えられている。このシンクロナスDRAMには、他にメインアンプ、行/列アドレスバッファ、制御論理/タイミング発生回路なども備えられている。

【0024】このシンクロナスDRAMは、メモリセルとしてキャパシタを用い、データの内容を保持するためのリフレッシュ動作を必要とする汎用DRAMに比べて、たとえばシステムクロックと同期を取りながら動作させることができるクロック同期コマンド方式、バンクを独立にプリチャージおよびアクセスすることができるバンク方式によるデータアクセス方式、データの入出力において連続したアドレスの高速読み出し、高速書き込みに対応することができるバースト動作方式などの特徴を持っている。

【0025】プロセッサCPUは、たとえば図2に示すように、それぞれのプロセッサCPU#0、#1が固有のデータバスBUSC#0、#1を持ち、たとえばRISC対応の命令セット、1命令1サイクルの命令実行、パイプライン制御などの各種機能を有する中央処理装置、プログラムなどを記憶するフラッシュメモリ、このフラッシュメモリと中央処理装置との間のデータ転送を高速化するキャッシュメモリ、前記マルチバンクメモリDRAMとの間の制御を司る各種コントローラなどが備えられている。

【0026】スイッチ手段Sは、たとえば図2に示すように、マルチバンクメモリDRAMのそれぞれのバンク#0～#7のデータ入出力バスBUSM#0～#7と、それぞれのプロセッサCPU#0、#1のデータバスBUSC#0、#1とを接続する8組からなる一対のスイ

ッチ手段S#00、01～S#70、71から構成されている。

【0027】次に、本実施の形態1の作用について、始めにシンクロナスDRAMの動作の概要を簡単に説明する。

【0028】このシンクロナスDRAMの動作は、全てシステムクロック信号に同期して行われ、またそれぞれの動作はコマンドにより制御される。このコマンドは、チップセレクト信号、カラムアドレスストローブ信号、ロウアドレスストローブ信号、ライトイネーブル信号の制御信号の組み合わせにより定義される。

【0029】すなわち、システムクロック信号の立ち上がりエッジにおけるこれらの制御信号のHigh/Lowの状態により、バンクアクティブ、リード、ライト、プリチャージ、リフレッシュなどのコマンドが定義され、これらのコマンドをデコードして各回路に対してコマンドに対応する動作を実行する。

【0030】たとえば、読み出し動作または書き込み動作の待機状態において、バンクアクティブコマンドの設定により指定されたバンクを選択して指定されたワード線を活性化し、そしてリードコマンドを設定した場合には、選択されたバンクからデータを読み出し、一方ライトコマンドの設定においては、選択されたバンクにデータを書き込むことができる。

【0031】また、プリチャージコマンドを設定した場合には、指定されたバンクのプリチャージ動作を実行することができ、このプリチャージには、読み出し動作または書き込み動作終了後に自動的にプリチャージ動作を実行するオートプリチャージ付きリードコマンド、オートプリチャージ付きライトコマンドなどもある。

【0032】さらに、リフレッシュコマンドには、たとえばオートリフレッシュとセルフリフレッシュのコマンドがあり、オートリフレッシュコマンドの設定においては、内部でアドレスを発生して自動的にリフレッシュ動作が実行され、一方セルフリフレッシュ動作はバッテリーバックアップなどに実行され、このセルフリフレッシュ動作の終了後はオートリフレッシュ動作が実行される。

【0033】次に、本実施の形態1の一つの特徴である、プロセッサCPUとマルチバンクメモリDRAMのバンクとの接続方法について説明する。

【0034】以上のように構成されるプロセッサCPUとマルチバンクメモリDRAMとの間において、マルチバンクメモリDRAMのバンクのデータを入出力するためのI/O線、すなわちデータ入出力バスBUSMを、それぞれ図2に示すようにスイッチ手段SによりプロセッサCPUのデータバスBUSCと電気的に接続する。

【0035】たとえば、バンク#0のデータ入出力バスBUSM#0は、一方のスイッチ手段S#00を介して一方のプロセッサCPU#0のデータバスBUSC#0に接続するとともに、他方のスイッチ手段S01を介し

て他方のプロセッサCPU#1のデータバスBUS C#1にも接続する。これにより、プロセッサCPU#0、プロセッサCPU#1はバンク#0に対して独立にアクセスすることができる。

【0036】同様に、他のバンク#1～#7についても、一対のスイッチ手段S#10、11～S#70、71を介して両方のプロセッサCPU#0、#1にそれぞれ接続し、よって、プロセッサCPU#0、プロセッサCPU#1はバンク#0の場合と同様にバンク#1～#7に対しても独立にアクセスすることが可能となる。これにより、それぞれのプロセッサCPUへのメモリ領域の割り当てが効率的になり、さらに複数のプロセッサCPUによるメモリ領域の共有なども効果的に行えるようになる。

【0037】また、このスイッチ手段Sのオン/オフの切り換えをハードウェア的なものではなく、ソフトウェア的に実行することで、このスイッチ手段Sのオン/オフ制御をソフトウェア的なコマンド指定により設定することができ、よってプロセッサCPUのデータバスBUS Cとバンクのデータ入出力バスBUS Mとをフレキシブルに接続することができる。なお、このスイッチ手段Sについては、スイッチ付きバッファ手段、またはスイッチ付き増幅手段などを用いることも可能である。

【0038】次に、本実施の形態1の他の一つの特徴である、プロセッサCPUとマルチバンクメモリDRAMとのレイアウト方法について説明する。

【0039】このプロセッサCPUとマルチバンクメモリDRAMとのレイアウトにおいては、それぞれのプロセッサCPUを、マルチバンクメモリDRAMのそれぞれのバンクのデータ入出力バスBUS Mの延長線上におけるチップ周辺部の片側、すなわち図1において、マルチバンクメモリDRAMの下側にプロセッサCPUを配置する。これにより、配置位置によるプロセッサCPUとバンクとの間のバス遅延差を小さくすることができる。

【0040】なお、本実施の形態1のように、プロセッサCPUをチップ周辺部の片側に配置する場合には、たとえば図3に示すように4個のプロセッサCPU#0～#3を配置するなど、さらに多数のプロセッサCPUを配置することなども可能である。このように多数のプロセッサCPUを配置する場合には、配置位置によるバス遅延差を小さくして、さらにプロセッサCPUとバンクとの間のバス遅延差をほぼ等しくすることができる。

【0041】従って、本実施の形態1においては、マルチバンクメモリDRAMのバンクのデータ入出力バスBUS MとプロセッサCPUのデータバスBUS Cとをスイッチ手段Sによって電気的に接続することにより、プロセッサCPUとマルチバンクメモリDRAMとをフレキシブルに接続することができるので、プロセッサCPUへのメモリ領域の割り当て、さらに複数のプロセッサ

CPUによるメモリ領域の共有などが効果的になる。

【0042】また、プロセッサCPUをマルチバンクメモリDRAMのバンクのデータ入出力バスBUS Mの延長線上におけるチップ周辺部の片側に配置することにより、配置位置によるプロセッサCPUとバンクとの間のバス遅延差を小さくすることができ、特に多数のプロセッサCPUを配置する場合には、さらにプロセッサCPUとバンクとの間のバス遅延差をほぼ等しくすることができる。

10 【0043】（実施の形態2）図4は本発明の実施の形態2である半導体集積回路装置を示す概略配置図、図5は本実施の形態2における変形例の半導体集積回路装置を示す概略配置図である。

【0044】本実施の形態2の半導体集積回路装置は、前記実施の形態1と同様にいわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIとされ、独立にアクセス可能な複数個のバンクからなるマルチバンクメモリDRAMと、独立に動作可能な複数個のプロセッサCPUからなるマルチプロセッサと、これらのマルチバンクメモリDRAMとプロセッサCPUとを互いに信号の入出力が可能に電気的に接続する複数個のスイッチ手段Sとから構成され、前記実施の形態1との相違点は、プロセッサCPUとマルチバンクメモリDRAMとのレイアウト方法が異なる点である。

【0045】すなわち、本実施の形態2においては、前記実施の形態1と同様にプロセッサCPUとマルチバンクメモリDRAMのバンクとの接続方法を取り入れるとともに、図4に示すように、マルチバンクメモリDRAMのバンクをチップ中央部に配置し、かつ4個のうちの20 2個ずつのプロセッサCPU#0、#1と#2、#3を、それぞれのバンクのデータ入出力バスBUS Mの延長線上におけるチップ周辺部の両側に配置するレイアウト方法を採用したものである。

【0046】特に、チップ周辺部の両側にプロセッサCPUを配置するために、バンクのデータ入出力バスBUS Mをバンクの両端まで貫通する形、すなわち図4において、それぞれのバンクの上側の端部から下側の端部まで貫通させてデータを入出力するためのI/O線を配置し、バンクの上側と下側に分けて2個ずつのプロセッサCPU#0、#1と#2、#3を配置している。それぞ40 れのプロセッサCPU#0～#3は、前記実施の形態1と同様に固有のデータバスBUS Cを持っている。

【0047】なお、本実施の形態2のように、プロセッサCPUをチップ周辺部の両側に配置する場合には、たとえば図5に示すように8個のうちの4個ずつのプロセッサCPU#0～#3と#4～#7を配置するなど、さらに多数のプロセッサCPUを配置することなども可能である。これにより、多数のプロセッサCPUを搭載する場合でも、データバス領域の増加を抑え、配置位置によるバス遅延差を小さくして、プロセッサCPUとバン

クとの間のバス遅延差をほぼ等しくすることができる。

【0048】ここで、本実施の形態2の半導体集積回路装置を用いたデータ処理方法の一例として、並列分散処理、ベクトル計算を含む処理の概略を説明する。

#### 【0049】(1). 並列分散処理

予め、それぞれのプロセッサCPU#0～#3に固有の機能を割り振り、たとえばプロセッサCPU#0が第1の作業をバンク#0を使用して行い、この結果のデータをもとにプロセッサCPU#1が第2の作業を行う処理を実行する場合を考えるものとする。

【0050】このような処理を実行するとき、たとえばスイッチ手段Sを持たない半導体集積回路装置による並列分散処理では、プロセッサCPU#0がバンク#0を使用して行った第1の作業の終了後に、このバンク#0の結果のデータもプロセッサCPU#1に対応したバンク#1に転送して第2の作業を行うことが必要となる。

【0051】これに対して、本実施の形態2においては、データはバンク#0に格納したまま、それをプロセッサCPU#1がアクセスできるようにスイッチ手段Sにより接続を切り換えるだけで第2の処理を行うことができる。このため、データ転送時間が不要となり、処理の高速化を図ることができる。

【0052】このとき、プロセッサCPU#0はバンク#1を使用して次のデータに対して第1の作業を開始することができる。同様に、処理済みのデータを転送することなしに、次々に異なるプロセッサCPUに引き渡し、処理を進めていくことができる。

【0053】このようにして、最大、マルチバンクメモリDRAMのバンク数分の処理を並列に実行することができる。これにより、データの転送を必要としないので、この並列分散処理が高速に実行できる。このような処理形態の場合、プロセッサCPUの数とマルチバンクメモリDRAMのバンク数とが等しい、図5のような構成のときに最も効率の良い処理を行うことができる。

#### 【0054】(2). ベクトル計算を含む処理

予め、たとえばプロセッサCPU#0～#3の中からプロセッサCPU#0、#1をベクトル計算に割り当て、さらにベクトル計算を行うプロセッサCPU#0、#1とマルチバンクメモリDRAMのバンク#0、#1をそれぞれ1対1に割り当てる。なお、ベクトル計算を行うプロセッサCPU#0、#1は専用のプロセッサとしてもよい。

【0055】そして、ベクトル計算を行いたいデータをバンク#0、#1に割り当てるようにロードして、プロセッサCPU#0、#1によるベクトル計算を対応するバンク#0、#1を使用して並列に実行する。この結果を別の共通のメモリバンク、たとえばバンク#3にストアすることで、一度に最終結果をまとめた形で得ることができる。

【0056】さらに、たとえば並列に実行されたデータをまとめて次の処理を行う場合に、データをまとめるための転送時間が不要になり、たとえばプロセッサCPU#3などの別のプロセッサCPUがすぐに次の処理を実行することができる。これにより、結果として処理を高速に行うことができる。

【0057】従って、本実施の形態2においても、前記実施の形態1と同様に、プロセッサCPUとマルチバンクメモリDRAMとのフレキシブルな接続によってプロセッサCPUへのメモリ領域の割り当て、メモリ領域の共有などが効果的になり、かつ配置位置によるプロセッサCPUとバンクとの間のバス遅延差を少なくすることができる。

【0058】特に、本実施の形態2においては、バンクのデータ入出力バスBUSMを貫通する形で配置することにより、新たなバス領域が不要となり、データバス領域の増加を抑えることができ、さらにプロセッサCPUを分けて配置することにより、多数のプロセッサCPUを搭載する場合でも、一層、プロセッサCPUとバンクとの間のバス遅延差を均等にすることができる。

【0059】さらに、本実施の形態2のような半導体集積回路装置を用いることにより、並列分散処理、ベクトル計算を含む処理などを高速に処理することができ、さらにこのような処理形態の大規模な処理、複雑な処理、高性能な処理などを効率良く行うことが可能なデータ処理方法を実現することができる。

【0060】(実施の形態3) 図6は本発明の実施の形態3である半導体集積回路装置を示す概略配置図、図7～図9は本実施の形態3における変形例の半導体集積回路装置を示す概略配置図である。

【0061】本実施の形態3の半導体集積回路装置は、前記実施の形態1、2と同様にいわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIとされ、独立にアクセス可能な複数個のバンクからなるマルチバンクメモリDRAMと、独立に動作可能な複数個のプロセッサCPUからなるマルチプロセッサと、これらのマルチバンクメモリDRAMとプロセッサCPUとを互いに信号の入出力が可能に電気的に接続する複数個のスイッチ手段Sとから構成され、前記実施の形態1、2との相違点は、プロセッサCPUとマルチバンクメモリDRAMとのレイアウトに加えて、さらに入出力ポートI/Oのレイアウトまでを考慮するようにした点である。

【0062】すなわち、本実施の形態3においては、前記実施の形態1、2と同様にプロセッサCPUとマルチバンクメモリDRAMのバンクとの接続方法、レイアウト方法を取り入れるとともに、図6に示すように、入出力ポートI/OをプロセッサCPUのデータバスBUS Cの延長線上におけるチップ周辺部の片側、すなわちプロセッサCPUが配置されない側で、プロセッサCPUのデータバスBUS Cと直交する辺の片側に配置するレ

アウト方法を採用したものである。

【0063】特に、チップ周辺部の片側に入出力ポートI/Oを配置するために、図6において右側に配置される入出力ポートI/Oにバンクの上側に配置される2個のプロセッサCPU#0、#1のデータバスBUS Cと、バンクの下側に配置される2個のプロセッサ#2、#3のデータバスBUS Cとを接続して配置している。

【0064】なお、本実施の形態3のように、入出力ポートI/Oのレイアウトまでを考慮する場合には、たとえば図7に示すようにチップ周辺部の両側に入出力ポートI/O#0、#1を配置して、それぞれの入出力ポートI/O#0、#1に2個ずつのプロセッサCPU#0、#1と#2、#3のデータバスBUS Cを接続して配置したり、さらに図8に示すように、2個ずつのプロセッサCPU#0、#1と#2、#3のデータバスBUS Cをそれぞれの入出力ポートI/O#0、#1で分担させることができる。

【0065】また、図9に示すように、8個のうちの4個ずつのプロセッサCPU#0～#3と#4～#7を分けて配置するなど、さらに多数のプロセッサCPUを配置することなども可能である。これにより、プロセッサCPUとマルチバンクメモリDRAMとのレイアウトに加えて、プロセッサCPUのデータバスBUS Cに対して入出力ポートI/Oを効率的に配置することができる。

【0066】従って、本実施の形態3においても、前記実施の形態1、2と同様に、プロセッサCPUとマルチバンクメモリDRAMとのフレキシブルな接続によってプロセッサCPUへのメモリ領域の割り当て、メモリ領域の共有などが効果的になり、かつ配置位置によるプロセッサCPUとバンクとの間のバス遅延差を少なくすることができる。

【0067】特に、本実施の形態3においては、プロセッサCPUとマルチバンクメモリDRAMとに加えて入出力ポートI/Oのレイアウトまでを考慮し、入出力ポートI/Oをチップ周辺部の片側または両側に配置することにより、プロセッサCPUのデータバスBUS Cに対して入出力ポートI/Oを効率的に配置することができるので、バス領域の削減、遅延時間の増大などを防止することができる。

【0068】(実施の形態4) 図10は本発明の実施の形態4である半導体集積回路装置を示す概略配置図、図11～図13は本実施の形態4における変形例の半導体集積回路装置を示す概略配置図である。

【0069】本実施の形態4の半導体集積回路装置は、前記実施の形態1～3と同様にいわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIとされ、独立にアクセス可能な複数個のバンクからなるマルチバンクメモリDRAMと、独立に動作可能な複数個のプロセッサCPUからなるマルチプロセッサと、これらのマルチ

バンクメモリDRAMとプロセッサCPUとを互いに信号の入出力が可能に電氣的に接続する複数個のスイッチ手段Sとから構成され、前記実施の形態1～3との相違点は、プロセッサCPUとマルチバンクメモリDRAMとのレイアウト、入出力ポートI/Oのレイアウトに加えて、さらにパッドPADのレイアウトまでを考慮するようにした点である。

【0070】すなわち、本実施の形態4においては、前記実施の形態1～3と同様にプロセッサCPUとマルチバンクメモリDRAMのバンクと入出力ポートI/Oとの接続方法、レイアウト方法を取り入れるとともに、図10に示すように、複数個のパッドPADのうち、データ入出力パッドPAD Dを入出力ポートI/Oの並ぶ辺のチップ周辺部に配置し、周辺パッド構造によるレイアウト方法を採用したものである。

【0071】特に、パッドPADのレイアウトにおいては、入出力ポートI/Oに接続されるデータ入出力パッドPAD Dを入出力ポートI/Oの並ぶ辺に配置するとともに、この入出力ポートI/Oに接続される電源パッドPAD Vなどもこの入出力ポートI/Oの並ぶ辺に配置し、入出力ポートI/Oが配置されない辺には他の電源パッドPAD Vなどを配置し、さらにプロセッサCPUの並ぶ辺の両側には、このプロセッサCPUに固有の制御信号パッドPAD S、電源パッドPAD Vなどを配置している。

【0072】なお、本実施の形態4のように、パッドPADのレイアウトまでを考慮する場合には、たとえば図11に示すように入出力ポートI/Oがチップ周辺部の両側に配置される場合には、入出力ポートI/Oの並ぶ辺の両側にデータ入出力パッドPAD D、電源パッドPAD Vを配置したり、さらに図12に示すように、それぞれの入出力ポートI/Oをそれぞれのデータ入出力パッドPAD Dで分担させることができる。

【0073】また、図13に示すように、8個のうちの4個ずつのプロセッサCPU#0～#3と#4～#7を分けて配置するなど、さらに多数のプロセッサCPUを配置することなども可能である。これにより、プロセッサCPU、マルチバンクメモリDRAM、入出力ポートI/Oのレイアウトに加えて、入出力ポートI/Oに接続されるデータ入出力パッドPAD Dを効率的に配置することができる。

【0074】従って、本実施の形態4においても、前記実施の形態1～3と同様に、プロセッサCPUとマルチバンクメモリDRAMとのフレキシブルな接続によってプロセッサCPUへのメモリ領域の割り当て、メモリ領域の共有などが効果的になり、かつ配置位置によるプロセッサCPUとバンクとの間のバス遅延差を少なくすることができる。

【0075】特に、本実施の形態4においては、プロセッサCPU、マルチバンクメモリDRAM、入出力ポー

10

20

30

40

50



トI/Oに加えてパッドPADのレイアウトまでを考慮し、データ入出力パッドPADを入出力ポートI/Oの並ぶ辺の片側または両側に配置することにより、入出力ポートI/Oに対してデータ入出力パッドPADを効率的に配置することができるので、配線領域の削減、遅延時間の増大などを防止することができる。

【0076】以上、本発明者によってなされた発明をその発明の実施の形態1～4に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であること

【0077】たとえば、前記実施の形態においては、図2に示すように、4Mバイトの容量のバンクによる8バンク256MシンクロナスDRAM+2プロセッサを搭載し、プロセッサのバス幅が64～128ビットの例を示しているが、プロセッサの数が多くなるとバスの信号線数が増えるが、その場合にはプロセッサのバス幅を8～32ビット程度に絞ることなども可能である。特に、チップ面積と要求性能のトレードオフにより、最適なバス幅を設定することが望ましい。

【0078】以上の説明では主として本発明者によってなされた発明をその属する技術分野であるシンクロナスDRAMを搭載した、いわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIに適用した場合について説明したが、これに限定されるものではなく、たとえば汎用DRAMなどの他のマルチバンクメモリ、特にデータ入出力バスがバンクを貫通する形のマルチバンクメモリ全般に広く適用可能である。また、実行する情報処理は並列分散処理やベクトル計算を含む処理に限らず、様々な処理形態がとれることはいうまでもない。

【0079】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0080】(1).メモリの各バンクのデータ入出力バスと各プロセッサのデータバスとを、それぞれスイッチ手段により電気的に接続することで、各プロセッサと各バンクとをフレキシブルに接続することができるので、各プロセッサへのメモリ領域の割り当て、メモリ領域の共有などを効果的に行うことが可能となる。

【0081】(2).各プロセッサを、各バンクのデータ入出力バスの延長線上におけるチップ周辺部の片側または両側に配置することで、各プロセッサと各バンクとの間のバス遅延差を少なくすることができ、特に多数のプロセッサを搭載する場合に、各プロセッサと各バンクとの間のバス遅延差を均等にすることができるので、プロセッサ間の遅延差を抑えることが可能となる。

【0082】(3).各バンクのデータ入出力バスを貫通する形に配置することで、データバス領域の増加を抑えることができるので、レイアウト面積の増大を防止するこ

とが可能となる。

【0083】(4).入出力ポートを、各プロセッサのデータバスの延長線上におけるチップ周辺部の片側または両側に配置することで、各プロセッサのデータバスに対して入出力ポートを効率的に配置することができるので、バス領域の削減、遅延時間の増大などを防止することが可能となる。

【0084】(5).データ入出力パッドを、入出力ポートの並ぶ辺の片側または両側に配置することで、入出力ポートに対してデータ入出力パッドを効率的に配置することができるので、配線領域の削減、遅延時間の増大などを防止することが可能となる。

【0085】(6).各プロセッサによるデータ処理を実行する場合に、並列分散処理、ベクトル計算を含む処理などを高速に処理することができ、さらにこのような処理形態による大規模な処理、複雑な処理、高性能な処理などにおける高い処理効率を実現することが可能となる。

【0086】(7).いわゆるマルチバンクメモリ混載マルチプロセッサシステムLSIにおいて、マルチプロセッサの性能を最大限に引き出してLSIの性能を向上させ、さらにこのLSIを用いたシステムの性能向上が可能となり、かつ遅延時間、レイアウト面積の増大を抑制してコストパフォーマンスの向上が可能な半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置を示す概略配置図である。

【図2】本発明の実施の形態1の半導体集積回路装置を示す構成図である。

【図3】本発明の実施の形態1における変形例の半導体集積回路装置を示す概略配置図である。

【図4】本発明の実施の形態2である半導体集積回路装置を示す概略配置図である。

【図5】本発明の実施の形態2における変形例の半導体集積回路装置を示す概略配置図である。

【図6】本発明の実施の形態3である半導体集積回路装置を示す概略配置図である。

【図7】本発明の実施の形態3における変形例の半導体集積回路装置を示す概略配置図である。

【図8】本発明の実施の形態3における他の変形例の半導体集積回路装置を示す概略配置図である。

【図9】本発明の実施の形態3におけるさらに他の変形例の半導体集積回路装置を示す概略配置図である。

【図10】本発明の実施の形態4である半導体集積回路装置を示す概略配置図である。

【図11】本発明の実施の形態4における変形例の半導体集積回路装置を示す概略配置図である。

【図12】本発明の実施の形態4における他の変形例の半導体集積回路装置を示す概略配置図である。

【図13】本発明の実施の形態4におけるさらに他の変

形例の半導体集積回路装置を示す概略配置図である。

【符号の説明】

DRAM マルチバンクメモリ

CPU プロセッサ

S スイッチ手段

BUSM データ入出力バス

BUSC データバス

I/O 入出力ポート

PAD パッド

PADD データ入出力パッド

PADV 電源パッド

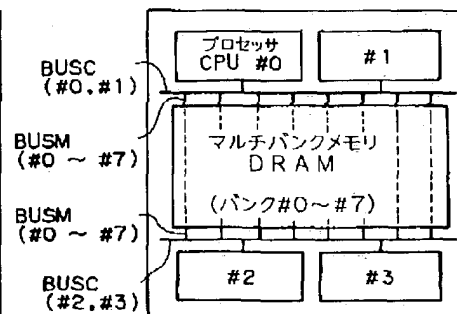
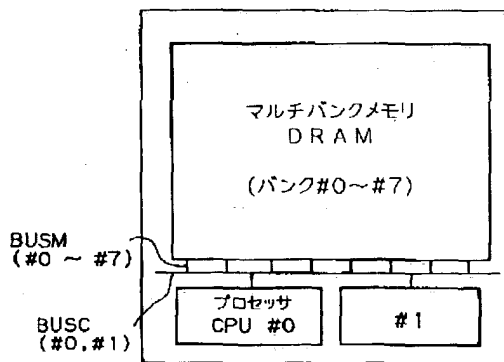
PADS 制御信号パッド

【図1】

【図4】

図 1

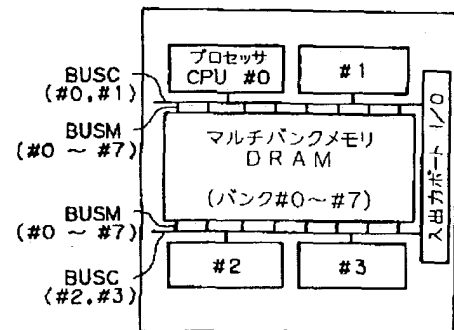
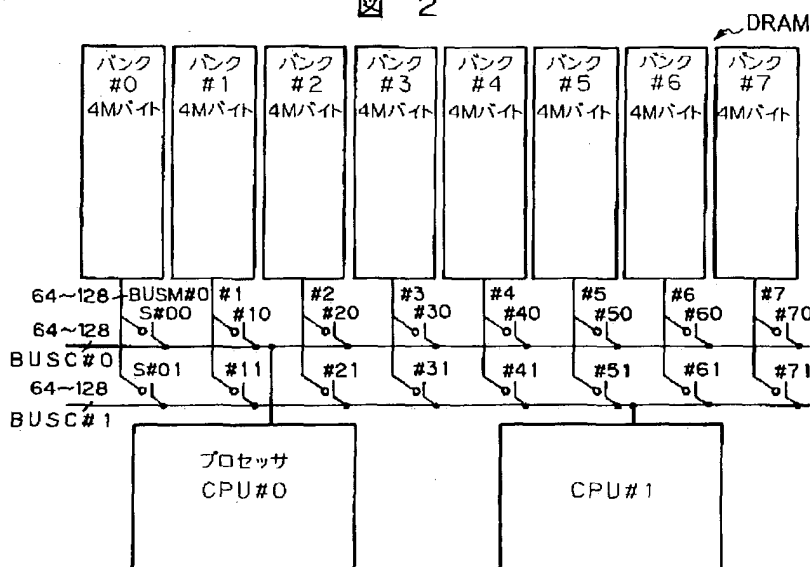
図 4



【図2】

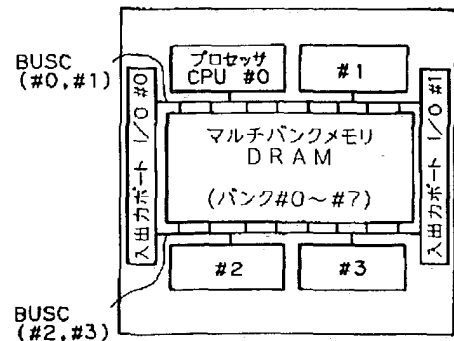
【図6】

図 6



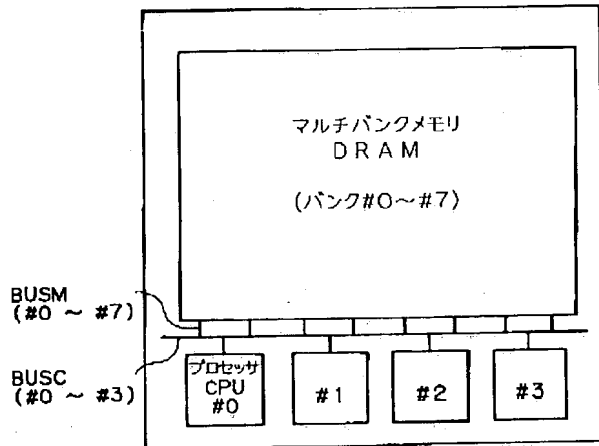
【図7】

図 7



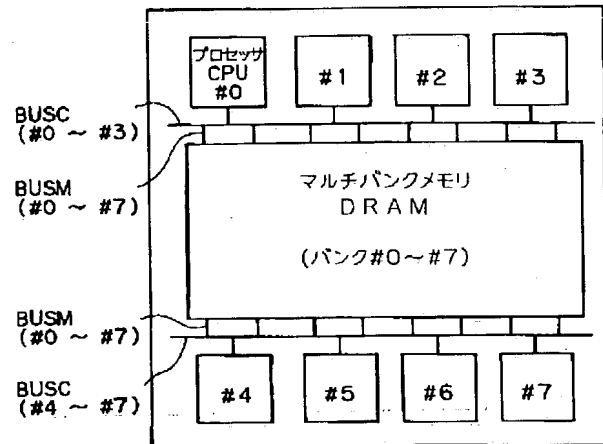
【図3】

図 3



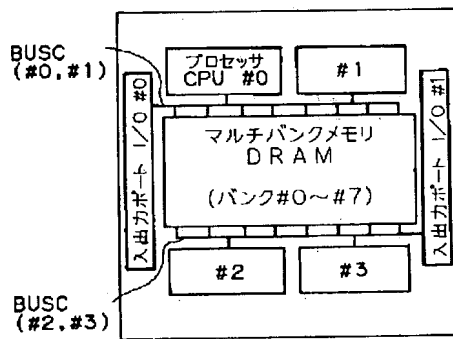
【図5】

図 5



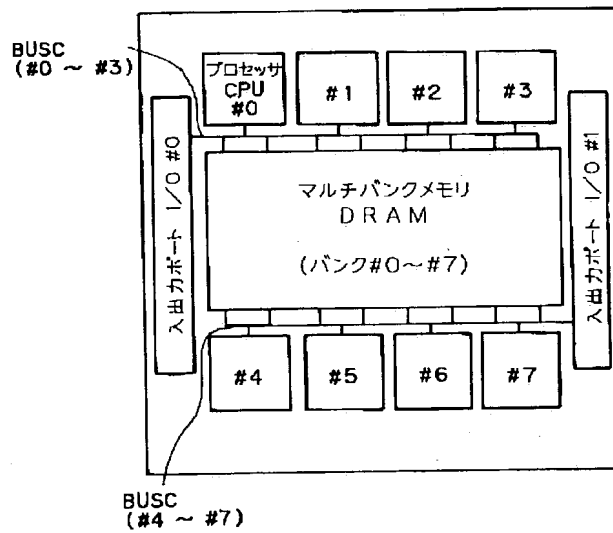
【図8】

図 8

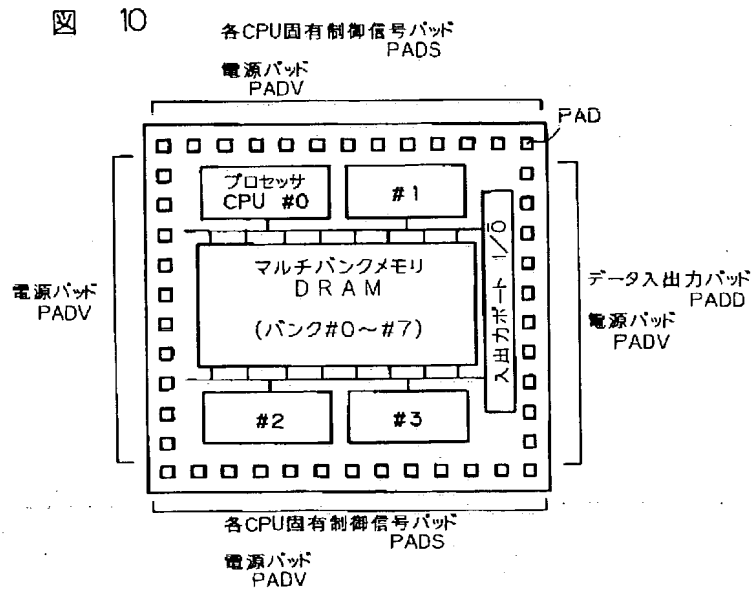


【図9】

図 9



【図10】



【図11】

